

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-007445

(43)Date of publication of application : 08.01.2004

(51)Int.Cl. H04B 1/04
H03G 3/30
H04L 27/12
H04L 27/20

(21)Application number : 2003-054276

(71)Applicant : RENESAS TECHNOLOGY CORP
TTPCOM LTD

(22)Date of filing : 28.02.2003

(72)Inventor : TAKANO RYOICHI
TOYODA KENJI
WURM PATRICK
HENSHAW ROBERT ASTLE

(30)Priority

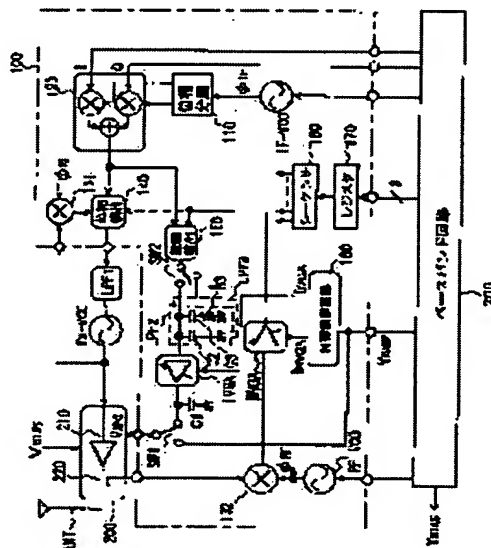
Priority number : 2002 200212725 Priority date : 31.05.2002 Priority country : GB

(54) SEMICONDUCTOR INTEGRATED CIRCUIT FOR COMMUNICATION, AND RADIO COMMUNICATION APPARATUS AND CORRECTION METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the modulation accuracy of a transmission waveform and spectral regrowth and to satisfactorily suppress noises over a reception frequency band, in a radio communication apparatus such as a cellular telephone having a function of performing phase modulation and amplitude modulation.

SOLUTION: In the radio communication apparatus of a polar loop system, a variable gain amplifier circuit (IVGA) and switching means (LPF2, LPF3 and SW2) capable of switching the characteristic of a loop filter providing a frequency band of an amplitude control loop to the characteristic of a filter having a degree lower than a degree at the time a normal operation are provided on a forward path from an amplitude detecting circuit (150) to a power amplifier circuit (210) which constitute an amplitude control loop. The apparatus is operated in a state that the characteristic of the loop filter is switched to the characteristic of the filter of lower degree, and an output of the power amplifier circuit is measured to determine variations in the gain of the amplitude control loop. On the basis of the result, data for correcting a gain characteristic for an output control signal of the variable gain amplifier circuit are stored in a non-volatile memory in a baseband LSI.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2004-7445

(P2004-7445A)

(43) 公開日 平成16年1月8日 (2004.1.8)

(51) Int. Cl.⁷

F I

テーマコード (参考)

H04B 1/04

H04B 1/04

J

5J100

H03G 3/30

H03G 3/30

B

5K004

H04L 27/12

H04L 27/12

B

5K060

H04L 27/20

H04L 27/20

Z

審査請求 未請求 請求項の数 22 O L (全 28 頁)

(21) 出願番号 特願2003-54276 (P2003-54276)
 (22) 出願日 平成15年2月28日 (2003.2.28)
 (31) 優先権主張番号 0212725.6
 (32) 優先日 平成14年5月31日 (2002.5.31)
 (33) 優先権主張国 イギリス (GB)

(71) 出願人 503121103
 株式会社ルネサステクノロジ
 東京都千代田区丸の内二丁目4番1号
 (71) 出願人 500385980
 ティーティーピー コム リミテッド
 イギリス国、ハートフォードシャー エス
 ジー8 6イーイー、ロイストン、メルボ
 ルン、ケンブリッジ ロード、メルボルン
 サイエンス パーク (番地なし)
 (74) 代理人 100085811
 弁理士 大日方 富雄
 (72) 発明者 高野 亮一
 東京都小平市上水本町五丁目20番1号
 株式会社日立製作所半導体グループ内

最終頁に続く

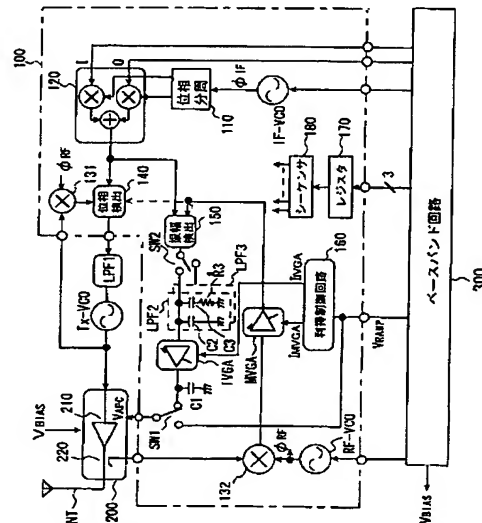
(54) 【発明の名称】 通信用半導体集積回路および無線通信装置並びに補正方法

(57) 【要約】

【課題】 位相変調と振幅変調を行なう機能を有する携帯電話器のような無線通信装置において、送信波形の変調精度およびスペクトル・リグロースを向上させるとともに受信周波数帯へ及ぶノイズを十分に抑制することができるようにする。

【解決手段】 ポーラーリング方式の無線通信装置において、振幅制御ループを構成する振幅検出回路 (150) から電力増幅回路 (210) までのフォワードパス上に、可変利得増幅回路 (IVGA) と、振幅制御ループの周波数帯域を与えるループフィルタの特性を通常動作時の次数よりも低次数のフィルタの特性に切り替え可能な切替え手段 (LPF2, LPF3, SW2) とを設け、ループフィルタの特性を低次数のフィルタの特性に切り替えた状態で動作させて電力増幅回路の出力を測定して振幅制御ループのゲインのばらつきを求め、その結果に基づいて可変利得増幅回路の出力制御信号に対するゲイン特性を補正するデータをベースバンドLSI内の不揮発性メモリに格納するようにした。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

送信用発振器から出力される搬送波の位相を制御する位相制御ループと、電力増幅回路から出力される送信出力信号の振幅を制御する振幅制御ループと、送信出力レベル検出手段から振幅検出回路までのフィードバックパス上に設けられる第1の可変利得増幅回路と、前記振幅検出回路から電力増幅回路までのフォワードパス上に設けられる第2の可変利得増幅回路と、前記振幅ループのゲインばらつきおよび前記電力増幅回路のばらつきを補正するように前記第1の可変利得増幅回路および第2の可変利得増幅回路の出力制御信号に対する利得特性を変化させるためのデータを格納する不揮発性メモリとを備えている無線通信装置。

10

【請求項 2】

送信データに応じた I, Q 信号を生成して出力するベースバンド回路とを含む変調用半導体集積回路、
搬送波を発生する送信用発振回路と、
前記送信用発振器から出力される搬送波を増幅する電力増幅回路と、
前記電力増幅回路から出力される信号のレベルを検出する送信出力レベル検出手段とからなり、上記変調用半導体集積回路は、
前記 I, Q 信号で所定の周波数の発振信号を変調する直交変調回路と、前記送信用発振器から出力される搬送波の位相を制御する位相制御ループと、電力増幅回路から出力される送信出力信号の振幅を制御する振幅制御ループと、前記送信出力レベル検出手段から振幅検出回路までのフィードバックパス上に設けられる第1の可変利得増幅回路と、前記振幅検出回路から電力増幅回路までのフォワードパス上に設けられる第2の可変利得増幅回路と、により構成され、
前記ベースバンド回路には、前記振幅ループのゲインばらつきおよび前記電力増幅回路のばらつきを補正するように前記第1の可変利得増幅回路および第2の可変利得増幅回路の出力制御信号に対する利得特性を変化させるための補正データを格納する不揮発性メモリが前記ベースバンド回路に設けられている無線通信装置。

20

【請求項 3】

前記変調用半導体集積回路には前記補正データを保持するレジスタが設けられ、動作開始時に前記不揮発性メモリから前記補正データが読み出されて前記ベースバンド回路から前記変調用半導体集積回路に送られて前記レジスタに設定されるように構成されている請求項 2 に記載の無線通信装置。

30

【請求項 4】

送信用発振器から出力される搬送波の位相を制御する位相制御ループと、電力増幅回路から出力される送信出力信号の振幅を制御する振幅制御ループと、送信出力レベル検出手段から振幅検出回路までのフィードバックパス上に設けられた第1の可変利得増幅回路と、前記振幅検出回路から電力増幅回路までのフォワードパス上に設けられた第2の可変利得増幅回路と、を備え、
出力制御信号に基づいて電力増幅回路の出力電力を増加させるときは前記第1の可変利得増幅回路の利得を減少させ、電力増幅回路の出力電力を増加させるときは前記第1の可変利得増幅回路の利得を増加させるとともに、前記第2の可変利得増幅回路の利得を前記第1の可変利得増幅回路の利得と逆方向に制御し、電力増幅回路の出力制御信号に対する出力電力の特性がばらつきを有する場合には前記第2の可変利得増幅回路の利得特性を変化させて前記ばらつきを補正するようにした無線通信装置。

40

【請求項 5】

前記ばらつきを補正するための補正データを保持するレジスタと、該レジスタに設定されている補正データに基づいて前記第1の可変利得増幅回路のバイアス電流を生成する利得制御回路とが設けられている請求項 4 に記載の無線通信装置。

【請求項 6】

前記レジスタに保持される補正データには、前記振幅ループのゲインのずれを補正するた

50

めの情報が含まれている請求項 4 または 5 に記載の無線通信装置。

【請求項 7】

前記レジスタに保持される補正データには、前記第 2 の可変利得増幅回路の前記出力制御信号に対する利得特性の傾きを補正するデータと、前記第 2 の可変利得増幅回路の前記出力制御信号に対する利得特性のゲインオフセットを補正するためのデータとが含まれる請求項 4 ～ 6 のいずれかに記載の無線通信装置。

【請求項 8】

送信用発振器から出力される搬送波の位相を制御する位相制御ループと、電力増幅回路から出力される送信出力信号の振幅を制御する振幅制御ループとを有するポーラーループ方式の無線通信装置を構成する通信用半導体集積回路であって、
送信出力レベル検出手段から振幅検出回路までのフィードバックパス上に設けられる第 1 の可変利得増幅回路と、前記振幅検出回路から電力増幅回路までのフォワードパス上に設けられる第 2 の可変利得増幅回路と、前記振幅ループのゲインばらつきおよび前記電力増幅回路のばらつきを補正するように前記第 1 の可変利得増幅回路および第 2 の可変利得増幅回路の出力制御信号に対する利得特性を変化させるためのデータを再設定可能なレジスタを備えている通信用半導体集積回路。

【請求項 9】

位相変調と振幅変調を行なう変調回路と、該変調回路で変調された信号の位相成分を検出する位相検出回路と、前記変調回路で変調された信号の振幅成分を検出する振幅検出回路と、送信信号を電力増幅して出力する電力増幅回路と、該電力増幅回路の出力レベルに応じた信号を前記振幅検出回路に帰還させるフィードバック経路と、前記振幅検出回路と前記電力増幅回路との間のフォワード経路上に設けられ振幅制御のための制御電圧を発生する可変利得増幅回路と、前記フィードバック経路と前記のフォワード経路とからなる振幅制御ループの周波数帯域を与えるループフィルタと、前記ループフィルタの特性を通常動作時の次数よりも低い次数の特性に切替え可能な切替え手段とを有する送信器。

【請求項 10】

送信用発振器からの搬送波の位相を制御するための位相制御ループと、電力増幅回路からの出力の振幅を制御するための振幅制御ループと、振幅検出回路から電力増幅回路へのフォワード経路上に設けられた利得可変増幅回路と、前記振幅制御ループのループ次数を切り替えるための選択可能手段とを備えた送信器におけるゲインばらつきを補正する方法であって、
前記選択可能手段によってループ次数を通常動作時のループ次数未満に設定することにより、振幅制御ループのゲインばらつきを評価するステップと、
評価の結果に基づいてゲインばらつきを補正するステップとを含む補正方法。

【請求項 11】

搬送波を変調するための装置であって、変調信号を生成する変調手段を備え前記変調を制御するためのループと、搬送波に変調をかけるため前記変調手段に変調信号を与えるフォワード経路と、前記変調手段に変調搬送波を戻すフィードバック経路とを備え、前記ループがタイプ I およびタイプ II のモードで動作することができる変調装置。

【請求項 12】

前記フォワード経路は、ループのモードを選択するために再構成可能にされている請求項 11 に記載の変調装置。

【請求項 13】

前記フォワード経路は、ループのモードを選択するために再構成可能なループフィルタ手段を備える請求項 11 または 12 に記載の変調装置。

【請求項 14】

前記ループが第 1 および第 2 の積分回路を備え、ループをタイプ II のモードからタイプ I のモードへ転換させるために、第 1 の積分回路を選択的に使用禁止状態にすることができ、かつ、選択的に増幅回路に変換することができる請求項 11、12 または 13 に記載の変調装置。

【請求項 15】

前記第1の積分回路は、ループをタイプIIのモードからタイプIのモードへ転換させるための、選択的に使用禁止状態にすることができ、かつ、選択的に増幅回路に変換することができる容量素子を備える請求項14に記載の変調装置。

【請求項 16】

タイプIおよびタイプIIのモードを有し、搬送波に作用する変調手段と増幅手段とにそれぞれ結合されたフォワード経路およびフィードバック経路を備え、前記フォワード経路およびフィードバック経路の各々は共通の利得制御信号に互いに相反して応答するようになされたループフィルタとループアンプとを備えている、送信器に使用される振幅変調ループの補正方法であって、ループをタイプIのモードに設定するステップと、前記共通利得制御信号の変化に応答して増幅手段の出力を記録するステップと、前記ループのタイプIIの動作のための補正情報として使用することができるよう前記記録した応答を補正するステップとを含む振幅変調ループの補正方法。

10

【請求項 17】

搬送波に作用する変調手段と増幅手段とにそれぞれ結合されたフォワード経路およびフィードバック経路を備え、前記フォワード経路およびフィードバック経路の各々は共通の利得制御信号に互いに相反して応答するように構成された増幅手段をそれぞれ備え、一方のループアンプが補正ゲイン・オフセットを有し、送信器に使用される振幅変調ループを補正する方法であって、フォワード経路に所定の試験変調を導入するステップと、前記試験変調の異なる周波数における前記増幅手段の出力の側帯波振幅を比較することによって、ループ動作におけるオフセットの補正効果を評価するステップとを含む振幅変調ループの補正方法。

20

【請求項 18】

一方のループアンプが補正ゲイン・オフセットを有し、かつ、フォワード経路に所定の試験変調を導入するステップと、前記試験変調の異なる周波数における増幅手段の出力の側帯波振幅を比較することにより、オフセットの補正効果を評価するステップとをさらに含む請求項16に記載の振幅変調ループの補正方法。

【請求項 19】

前記オフセットを調整するステップと、前記比較が所望の結果を達成するまで前記評価を実施するステップとをさらに含む請求項17または18に記載の振幅変調ループの補正方法。

30

【請求項 20】

前記試験変調が、所定の振幅および周波数の方形波を使用して生成される請求項17、18または19に記載の振幅変調ループの補正方法。

【請求項 21】

増幅手段に直接制御信号を印加するステップと、直接制御信号による増幅手段の出力を評価するステップと、前記ループ・アンプの少なくとも一方の動作を調整することによって増幅手段の動作を制御するべく前記評価を使用するステップとをさらに含む請求項16から20のいずれか1項に記載の振幅変調ループの補正方法。

【請求項 22】

直接制御信号に応じた評価を使用して、前記増幅手段の一方に入力される共通利得制御信号に適用すべき係数を決定し、変調手段が動作している間、ループ帯域幅を実質的に一定に維持するように前記係数を演算する請求項21に記載の振幅変調ループの補正方法。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高周波電力増幅回路のパワーコントロール信号による出力電力の制御性の向上および振幅制御ループのゲインばらつきによる特性の変動またばらつきを補正する技術に関し、特に位相検出回路と振幅検出回路を内蔵する通信用半導体集積回路および通信用半導体集積回路を組み込んだ携帯電話機のような無線通信装置に適用して有効な技術に関する

50

る。

【0002】

【従来の技術】

従来、携帯電話機のような無線通信装置（移動体通信装置）の方式の一つに欧州で採用されているGSM（Global System for Mobile Communication）と呼ばれる方式がある。このGSM方式は、搬送波の位相を送信データに応じてシフトするGMSK（Gaussian Minimum Shift Keying）と呼ばれる位相変調方式が用いられている。

【0003】

一般に、無線通信装置における送信側出力部には、高周波電力増幅回路が組み込まれており、従来のGSM方式の無線通信装置の中には、送信出力を検出する検出器からの信号とベースバンドLSIからの送信要求レベルに基づいて送信出力の制御信号を生成するAPC（Automatic Power Control）回路と呼ばれる回路からの制御電圧によって通話に必要な送信出力電力となるように、高周波電力増幅回路のバイアス電圧を制御する構成が採用されているものがある。

【0004】

ところで、近年の携帯電話機においては、音声信号の通信はGMSK変調で行ない、データ通信は $3\pi/8$ rotating 8-PSK（Phase Shift Keying）変調で行なうデュアルモードの通信機能を有するGSM方式を発展させデータレートを高めたEDGE（Enhanced Data Rates for GSM Evolution）方式が提案されている。8-PSK変調はGMSK変調における搬送波の位相シフトにさらに振幅シフトを加えたような変調であり、1シンボル当たり1ビットの情報を送るGMSK変調に対し、8-PSK変調では1シンボル当たり3ビットの情報を送ることができる。そのため、EDGE方式はGSM方式に比べて高い伝送レートによる通信を行なうことができる。

【0005】

送信信号の位相成分と振幅成分にそれぞれ情報を持たせる変調方式の実現方法としては、送信したい信号を位相成分と振幅成分に分離した後、位相制御ループと振幅制御ループでそれぞれフィードバックをかけアンプで合成して出力するポーラーループと呼ばれる方式が知られている（例えば、ARTECH HOUSE, INC. が1979年に出版の“High Linearity RF Amplifier Design” by Kennington, Peter B. の第162頁）。

【0006】

【発明が解決しようとする課題】

GSM方式の通信システムでは位相変調された信号を要求出力レベルに応じて出力すれば良いので最終段の高周波電力増幅回路を飽和領域で動作させることができる。これに対し、EDGE方式による送受信が可能な無線通信システムでは、振幅制御を行なう必要があるため最終段の高周波電力増幅回路を非飽和領域で線形動作させなければならない。しかしながら、従来のGSM方式の通信システムに用いられている高周波電力増幅回路の駆動方式では、出力レベルが小さい領域において高周波電力増幅回路に要求される線形性を確保することが困難である。これに対し、ポーラーループ方式によれば、高周波電力増幅回路の線形性に対する要求を満たすことができるとともに、低出力レベル領域における電力効率も向上させることができるという利点を有する。

【0007】

そこで、本発明者等はEDGE方式の無線通信システムにポーラーループ方式を採用することについて検討を行なった。その結果、ポーラーループ方式で8-PSK変調を実現すると、送信波形の変調精度（EVM: Error Vector Magnitude）やノイズ抑圧度等が規格の要求を満たすことが困難であるという課題があることが明らかになった。

【0008】

10

20

30

40

50

具体的には、振幅制御ループの周波数帯域（送信搬送波の周波数を中心周波数からオーバーラップ利得が0 dBになる周波数までの幅）は広い方が変調精度が高くまた波形の歪みの度合いを示すスペクトラル・リグロースと呼ばれる特性も良好となるが、帯域が広くなると送信搬送波の中心周波数から20 MHz離れた受信周波数での振幅制御ループの減衰量が小さくなり、十分なノイズ抑圧度が得られなくという課題がある。

【0009】

また、2つのフィードバックループのうち振幅制御ループについては、製造バラツキによりループゲインが変動し、それによってループの安定性が低下してしまうため、所定の時間内に所望の出力レベルまで持って行くのが困難である。さらに、ポーラーループ方式のシステムでは、振幅制御ループで振幅変調のための出力制御を行なう際に、振幅制御ループのゲインが変化して位相余裕が減少しループの安定性が低下するという課題があることが分かった。

10

【0010】

それゆえ、本発明の目的は、位相変調と振幅変調を行なう機能を有する携帯電話器のような無線通信装置において、送信波形の変調精度およびスペクトラル・リグロースを向上させるとともに受信周波数帯へ及ぶノイズを十分に抑制することができるようにすることにある。本発明の他の目的は、素子の製造バラツキによりループゲインが変動し、それによってループの安定性が低下するのを防止できる信頼性の高い無線通信装置を提供することにある。

【0011】

本発明のさらに他の目的は、振幅変調のための出力制御を行なう際に、振幅制御ループのゲインが変化して位相余裕が減少しループの安定性が低下するのを防止できる信頼性の高い無線通信装置を提供することにある。

20

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。

すなわち、搬送波または送信用発振器から出力される信号の位相を制御する位相制御ループと、電力増幅回路から出力される送信出力信号の振幅を制御する振幅制御ループとを有するポーラーループ方式の無線通信装置において、振幅制御ループを構成する振幅検出回路から電力増幅回路までのフォワードパス上に、可変利得増幅回路と、振幅制御ループの周波数帯域を与えるループフィルタの特性を通常動作時の次数よりも低次数のフィルタの特性に切り替え可能な切替え手段とを設ける。そして、ループフィルタの特性を低次数のフィルタの特性に切り替えた状態で動作させている間に、電力増幅回路の出力を測定して振幅制御ループのゲインのばらつきを演算する。そして、その結果に基づいて可変利得増幅回路の出力制御信号に対するゲイン特性を、前記ばらつきをなくす方向に補正するデータを得るようにした。この補正あるいはこのようにして得られた補正データをベースバンドLSI内の不揮発性メモリに格納するようにしたものである。

30

40

【0013】

これによって、ループフィルタの特性を低次数のフィルタの特性に切り替えることにより振幅制御ループがより安定な状態で測定を行なえる。これとともに、測定により得られ不揮発性メモリに格納されている補正データに基づいて、可変利得増幅回路の出力制御信号に対するゲイン特性を補正することにより、製造ばらつきに起因する振幅制御ループのゲインのばらつきを補正することができる。

【0014】

また、本発明に従うと、送信用発振器から出力される搬送波の位相を制御する位相制御ループと、電力増幅回路から出力される送信出力信号の振幅を制御する振幅制御ループとを有するポーラーループ方式の無線通信装置において、振幅制御ループを構成する送信出力

50

レベル検出手段から振幅検出回路までのフィードバックパス上に可変利得増幅回路が設けられる。また、振幅検出回路から電力増幅回路までのフォワードパス上に可変利得増幅回路が設けられる。そして、これら2つの可変利得増幅回路の利得が互いに逆方向に制御されるとともに、電力増幅回路の利得と2つの可変利得増幅回路の利得の総和が出力制御信号に関わらず一定となるように制御される。その結果、出力電力が変化されても振幅制御ループのオープンループゲインを一定に保つことができ、これによりループゲインの変動もしくは変化に起因してループの安定性が低下するのを防止することができる。

【0015】

【発明の実施の形態】

図1は、本発明に従ったポーラーループ方式の無線通信装置の一実施例の概略構成を示す。図1の構成は、GSMシステムにおけるGMSK変調やEDGEシステムにおける8-PSK変調を行なうことができる高周波IC100、アンテナANTを駆動して送信を行なう高周波電力増幅回路（以下、パワーアンプと称する）210や送信電力を検出するためのカプラ220などを含むパワーモジュール200、送信データ（ベースバンド信号）に基づいてI/Q信号を生成したり高周波IC100の制御信号やパワーモジュール200内のパワーアンプ210に対するバイアス電圧VBIASを生成したりするベースバンド回路300、位相変調された送信信号（搬送波）を生成する送信用発振器TxVCO、位相制御ループの帯域を制限するループフィルタLPF1を含んでなる。

【0016】

高周波IC100は1つの半導体チップ上に半導体集積回路として構成される。図1には示されていないが、高周波IC100のチップ上には、上記のような送信系の回路の他に、ロウノイズアンプ（LNA）、受信信号を中間周波数の信号に直接ダウンコンバートするミキサ（Rx-MIX）、高ゲインのプログラマブル・ゲインアンプ（PGA）などからなる受信系回路190（図3参照）が形成されている。この高周波IC100と送信用発振器TxVCOとループフィルタLPF等を1つのセラミック基板のような絶縁基板上に実装してモジュールとして構成することができる。本実施例のポーラーループは、位相制御のためのフィードバックループ（以下、位相ループと称する）の他に、振幅制御のためのフィードバックループ（以下、振幅ループと称する）の2つの制御ループを備える。

【0017】

この実施例のポーラーループを構成する高周波IC100は、発振器IF-VCOで生成された中間周波数の発振信号φIFから互いに位相が90°ずれた信号を生成する位相分周回路110、ベースバンドLSI300から供給されるI/Q信号と位相分周回路110で分周された信号とをミキシングして直交変調を行なう直交変調回路120、送信用発振器TxVCOからのフィードバック信号と高周波発振器RF-VCOからの発振信号φRFとをミキシングして80MHzのような信号を生成するミキサ131、該ミキサ131の出力信号と前記直交変調回路120の出力信号との位相差を検出する位相検出回路140、パワーアンプ210の出力レベルを検出する前記カプラ220の検出信号と高周波発振器RF-VCOからの発振信号φRFとをミキシングするミキサ132、該ミキサ132の出力を増幅するフィードバック側可変利得増幅回路MVGA、増幅された信号と前記直交変調回路120の出力信号とを比較して振幅差を検出する振幅検出回路150、振幅検出回路150の出力に応じた電圧を発生するとともに振幅ループの周波数帯域を規制するループフィルタLPF2、ループフィルタLPF2の出力を増幅するフォワード側可変利得増幅回路IVGA、可変利得増幅回路MVGAおよびIVGAの利得を制御する利得制御回路もしくはコントローラ160、チップ内部の制御情報（例えば後述のオフセット値やスロープ値）や動作モード等を設定するためのレジスタ170、レジスタ170の設定値に基づいてチップ内部の各回路に対するタイミング信号を出力して動作モードに応じて所定の順序で動作させるシーケンサ180などを備える。可変利得増幅回路IVGAの後段には、電圧-電流変換器VIC、容量C1とレベルシフタLVSが設けられ、スイッチSW1に続いている。

【0018】

10

20

30

40

50

上記カプラ220, ミクサ132, 可変利得増幅回路MVGA, 振幅検出回路150, ループフィルタLPF2, 可変利得増幅回路IVGA, パワーアンプ210により振幅ループが構成されている。また、この実施例では、位相検出回路140-ループフィルタLPF1, 送信用発振器TxVCO, ミクサ131, 位相検出回路140により位相ループが構成される。具体的には、直交変調回路120の出力信号とミクサ131からのフィードバック信号に位相差が生じていると、この誤差を減少させるような電圧が送信用発振器TxVCOの周波数制御端子に供給され、ミクサ131からのフィードバック信号の位相が直交変調回路120の出力信号の位相と一致するようになる。この位相ループにより、送信用発振器TxVCOの出力の位相が電源電圧変動や温度変化に対してずれないように制御が行われる。なお、送信用発振器TxVCOの振幅は一定である。

10

【0019】

この実施例では、上記可変利得増幅回路MVGAの出力を位相検出回路140にフィードバックさせて、カプラ220, ミクサ132, 可変利得増幅回路MVGAを含む経路が振幅ループと位相ループの共通のフィードバックパスとして使用可能に構成されている。EDGEモードでは、パワーアンプ210の出力に位相変調成分と振幅変調成分の両方が含まれる。また、GMSKモードでは、フィードバック信号は送信用発振器TxVCOの出力から取り出される。

【0020】

よって、出力側の位相成分を有する位相検出回路140への帰還信号として送信用発振器TxVCOの出力またはパワーアンプ210の出力のいずれを用いてもよい。送信用発振器TxVCOからのフィードバックループはサブループと呼ばれ、パワーアンプ210からのフィードバックループはメインループと呼ばれる。ただし、EDGEモードでは、送信開始時はパワーアンプ210の出力がまだ立ち上がっていないので位相ループをロックさせることができない。

20

【0021】

一方、EDGEモードでは振幅ループのフィードバックパスは不可欠であるので、フィードバックパスはフィードバック信号を位相検出回路140と振幅検出回路150の両方に供給しなければならない。そのためには、位相ループがサブからメインに切り替えられる前に振幅ループがロックされる必要がある。位相ループに結合されたフィードバックパスは振幅ループがロックした後に遮断される。それにより、消費電力を低減でき、またより精度の高い位相変調が行なえるという利点がもたらされる。

30

【0022】

GMSKモードでは、振幅ループにはそれほど正確な振幅信号の制御が必要でない。よって、振幅制御のためにはループフィルタLPF2は極を1つ有する特性であればよい。1つの極のフィルタにより振幅ループの安定性が保証され、オープンループゲインはノイズ抑制と振幅ループの周波数帯域の両方の妥協点を見出すべく設計される。GMSKモードでの低オープンゲインが図2に破線Bで示されている。GMSKモードにおける妥当なゲインループ帯域は200kHzである。

【0023】

しかしながら、EDGEモードの場合、振幅変調の精度を高めるにはループ帯域は広い方がよい。それゆえ、振幅ループのオープンループ周波数帯域を1.8MHzの帯域に設定するため、本実施例では、振幅ループ上のフィルタとして2つの構成を取り得るものを使用されている。第1の構成のフィルタは、容量C2, C3およびC3と直列に接続された抵抗R3とからなり、低周波数域に1つの極と、1つの零点と、高周波数域に1つの極を有するようにされる。第2の構成のフィルタは、容量C1のみからなり低周波数域に1つの極を有するようにされる。かかる2つの構成を組み合わせることで、図2に実線Aで示すような周波数特性を有する振幅フィルタが得られる。

40

【0024】

しかし、振幅ループには、低周波数域に2つの極と1つの零点と高周波数域に1つの極を有するループフィルタLPF2を含まれており、安定性は条件によって様々である。ルー

50

プの安定性は、オープンループゲインが正確に「1」に等しくなる周波数で位相余裕が合理的な値に達するような条件下において得られる。GMSKモードでは、振幅ループのフィルタは低周波数域に1つの極を有し、かつ安定した振幅が維持されるよう、第1の構成が単純な抵抗によって置き換えられる。負荷LPF3は送信器の出力電力を更正する際にも使用される。GMSKモードにおいては、GMSK信号によりパワーアンプ210の出力を制御する場合および／または精度の高い振幅制御が不要な場合に、極めて良好なループの安定性を提供するために位相余裕が大きいたことが好ましく、負荷LPF3によって、回路を構成する素子の数を増加させることなく有効な回路を実現することができる。

【0025】

また、負荷LPF3と切替え用のスイッチSW2とを設けておいて、ベースバンドLSI 300からの出力制御電圧VRAMPに依じて振幅ループの可変利得増幅回路IVGA、MVGAの利得を制御してパワーモジュール200へ供給される出力制御電圧VAPCを生成することで、従来のGSMシステムで必要であった出力レベルを検出してパワーアンプ210の出力制御を行なうAPC回路を不要にすることができる。これは、振幅ループをGMSK変調モードに使用する場合、振幅変調は不要であるので、GMSKモードにおける変調ループは8-PSK変調モードの場合より安定しているが、GMSK信号に伴って出力パワーが大きくなるため、送信器から出力されるノイズレベルも大きくなるためである。それゆえ、ループ帯域を、EDGEモードの振幅ループの帯域である1.8MHzよりも狭い1.2MHzに設定し、8-PSK変調モードにおける1.8MHzよりも低い200kHzに設定するのが望ましい。また、それには振幅ループフィルタとして、低周波数域に2つの極と1つの零点と高周波数域に1つの極を有する前記フィルタLPF2よりも、ループ全体で極を1つか持たない負荷抵抗からなるLPF3の方が適している。

【0026】

なお、この実施例の高周波IC100は出力パワーアンプ210がVRAMP信号によって直接制御されるGSMシステムにも使用可能に構成されており、その場合にはスイッチSW1が切り替えられてデジタル信号からアナログ信号に変換されたVRAMP信号が直接パワーモジュール200に供給されるようになる。

【0027】

8-PSK変調モードでは、振幅ループにおいて、パワーアンプ210の出力が振幅ループ内のカプラ220により検出される。この検出信号はミキサ132により中間周波数帯(IF)に変換され、可変利得増幅回路MVGAにより増幅されてフィードバック信号SFBとして振幅検出回路150に供給される。そして、振幅検出回路150で直交変調回路120により変調された送信信号とフィードバック信号SFBとが比較されて振幅差が検出される。その振幅差が可変利得増幅回路MVGAで増幅され、パワーアンプ210の出力制御端子に制御電圧VAPCとして印加され、振幅制御が行なわれる。

【0028】

この実施例においては、パワーアンプ210は、例えばドレイン端子とソース端子とゲート端子を有するFET(電界効果トランジスタ)などで構成され、このFETのドレイン端子もしくはソース端子には、パワーモジュール200に設けられている電圧制御回路(図4の符号230)により前記制御電圧VAPCに応じた電圧が生成されて印加される。また、パワーFETのゲート端子には図示しないバイアス回路で生成された適当なバイアス電圧VBIASが印加される。

【0029】

図1には示されていないが、カプラ220とミキサ132との間には、カプラ220の出力を減衰してミキサ132に供給するアッテネータATTが設けられている。また、ミキサ132と可変利得増幅回路MVGAとの間および可変利得増幅回路MVGAと振幅検出回路150との間には、ロウパスフィルタMLPF1、MLPF2が設けられる(図5、図6参照)。

【0030】

この実施例においては、可変利得増幅回路MVGAとIVGAの各ゲインが、それらのゲ

インの和がほぼ一定になるように、利得制御回路160によりベースバンドLSI300からの制御電圧VRAMPに応じて逆方向へ制御される。これとともに、スイッチSW1によって可変利得増幅回路IVGA内のレベルシフタLVSからの出力電圧またはベースバンドLSI300からの制御電圧VRAMPが選択的にパワーアンプ210の出力制御端子に供給可能に構成されている。

【0031】

すなわち、この実施例では、8-PSK変調モードの時は振幅ループからの制御電圧によって高周波増幅回路210が制御される。GMSK変調モードの時は、振幅ループからの制御電圧の代わりにベースバンドLSI300からの制御電圧VRAMPが直接パワーアンプ210に供給されて出力の制御が可能に構成されている。なお、スイッチSW1はベースバンドLSI300によって設定されるレジスタ170の状態に応じてシーケンサ180により切り替えが行なわれる。

【0032】

上記ポーラーループ方式の送信回路においては、振幅ループを構成するフィルタおよび各要素の利得によって系の周波数応答特性が決定される。送信波形の変調精度もしくはEVM(Error Vector Magnitude)およびスペクトラル・リグロースの要求を満たすためには、振幅ループの周波数帯域は高い程良い。一方、送信周波数から20MHz離れた受信周波数帯でのノイズを抑制するには、振幅ループの周波数帯域を低くした方が良い。

【0033】

本発明者等が詳しく検討したところによると、実施例のような構成においてEVMやスペクトラル・リグロースとノイズ抑制の両方の要求を満たすためには、振幅ループの開ループ周波数帯域を約1.8MHzに設定するのが望ましいことが分かった。そこで、振幅ループに図2に実線Aで示すような開ループ周波数特性を持たせるため、この実施例では、上記ループフィルタLPF2として、前述のように容量C2、C3およびC3と直列に接続された抵抗R3とからなり2つの極と1つの零点を有する2構成フィルタを使用している。

【0034】

しかし、実際には振幅ループを構成する素子の特性ばらつきによりループの周波数帯域が変動してしまうため、前もった補正なしでは上記の条件を満たせなくなる可能性がある。また、高周波増幅回路(パワーアンプ)210の二乗平均電力(rms電力)は、振幅ループのフィードバックパスの利得と参照レベルとにより決定されるため、フィードバックパスのゲインが補正されていないとパワーアンプの出力電力を正しく設定することができない。より具体的には、容量C2、C3と抵抗R3とからなるループフィルタLPF2を使用した場合には位相余裕が充分にないと、ループが発振して不安定になるおそれがある。この課題を克服するため、本実施例においては、以下の手順でフィードバックパスのゲインばらつきを測定し、その測定結果に基づいて可変利得増幅回路MVGAとIVGAのゲインを補正してループ全体のゲインすなわちループの周波数帯域を1.8MHzの近傍にて所望の範囲に設定することとした。

【0035】

さらに、振幅ループの周波数帯域を一定に保つためには開ループ利得(open loop gain)を一定に保つ必要がある。しかし、振幅ループを使ったパワーアンプ出力電力の制御において、フィードバックパス上の可変利得増幅回路MVGAのゲインが変化すると、振幅ループのゲインが変化し、これにより位相余裕が減少しループの安定性が低下する。そこで、本実施例においては、パワーアンプ出力電力を制御する際、フィードバックパス上の可変利得増幅回路MVGAのゲインを増加(減少)した場合には、それと逆方向にフォワードパス上の可変利得増幅回路IVGAのゲインを減少(増加)させることとした。これによって、開ループ利得を一定に保つことができ、振幅ループの周波数帯域も一定に保たれる。

【0036】

ただし、振幅ループを構成する素子の特性ばらつきによる振幅ループの周波数特性のバラツキの測定は、系全体で一度に行なうのは困難である。そこで、本発明においては、振幅ループを構成するパワーアンプ、フィードバックパス、フォワードパスの3つに分けて測定を行なうこととした。なお、ここで、フィードバックパスとはパワーアンプ出力に接続されたカプラ220から振幅検出回路170の入力までのパスを指し、フォワードパスとは振幅検出回路170の入力からパワーアンプ210の入力までのパスを指すものとする。

【0037】

図3に示すように、高周波IC100、パワーモジュール200、ベースバンドLSI300、送受信切替えスイッチ400、受信信号から不要波を除去するフィルタ410等を基板上に実装して携帯電話端末システム500として組み立てた。この状態で、測定・演算装置600により以下のような測定が行なわれる。

【0038】

(測定1)

図4には、測定1における回路を抽出して示す。この測定1では、パワーモジュール200の出力端子に測定・演算装置600から延長されたプローブ610を接触させて、出力制御電圧VAPCの入力端子へ供給されるVRAMP信号が変化した時のパワーアンプ210の出力電圧VRFOUTを測定する。そして、このようにして得られたデータは、パワーアンプ210の振幅変調利得のばらつきを補正するために使用される。出力制御電圧VAPCはベースバンドLSI300または測定・演算装置600から与える。

【0039】

なお、図1の実施例では説明しなかったが、この実施例ではGSM方式に従った送信の他、DCS(Digital Cellular System)1800方式に従った送信が行なえるように構成されている。それゆえ、パワーモジュール200内にはそれぞれの方式の送信信号を増幅して出力するパワーアンプ210G、210Dが設けられているシステムを想定した。このシステムで用いられるパワーアンプ210G、210Dは、各々FETなどからなる3段のアンプで構成されている。バイアス電圧VBIASは各段の増幅用FETのゲート端子にバイアス点を与える電圧として供給される。また、パワーモジュール200内には出力制御電圧VAPCに基づいて各段の増幅用FETのドレイン側に印加される電源電圧Vddを生成して供給するVdd制御回路230が設けられている。

【0040】

測定1では、例えばスイッチSW1を切り替えるなどして、振幅ループからのフィードバック電圧がパワーモジュール200に入らないようにし位相ループを有効にされる。この状態で、パワーアンプ210Gまたは210Dの入力端子には送信用発振器TxVCOからの発振信号φTXを入力するとともに、上記のようにバイアス電圧VBIASを印加する。出力制御電圧VAPC(VRAMP)によりパワーモジュール200を直接制御して、そのときのパワーアンプ210Gと210Dの各出力電圧VRFOUTを測定する。そして、測定値から演算により制御電圧VAPCに対するパワーアンプ210Gと210Dの出力特性を求める。

【0041】

具体的には、出力の測定データから当該パワーアンプの出力と出力制御電圧VAPCとの関係を示す関数(式)を求め、この関数を微分して一次微分係数 α_1 および二次微分係数 α_2 を求める。この一次微分係数 α_1 によりパワーアンプのゲイン($dRFOUT/dVAPC$)が出力制御電圧VAPCに対してリニアに変化しているか否かを知ることができる。さらに、上記測定結果から、出力制御電圧VAPCに対してパワーアンプの出力電力POUTをリニアに変化させるための制御テーブルを作成することができる。この制御テーブルをベースバンドLSI300の不揮発性メモリ310に格納しておいて、送信時に出力制御電圧VRAMPを出力させることによって、直接制御モードにおいてパワーアンプがリニア特性を示すように制御することができる。

【0042】

また、二次微分係数 $\alpha 2$ から各電力増幅回路GSMとDCSに対する後述のスロープパラメータが得られる。二次微分係数 $\alpha 2$ より、VAPCによってパワーアンプのゲインが増加または減少する場合に、変化率（曲線の傾き）が正なのか負なのかを示す。得られたスロープパラメータは、ベースバンドLSI300の不揮発性メモリ310に格納される。このパラメータに基づいて可変利得増幅回路MVGAとIVGAのゲインを調整するためのデータが得られる。このデータを高周波ICに与えてパワーアンプ210の特性を補正させるような制御電圧VAPCを出力させる。これにより、パワーアンプ210をリニア動作させることができる。

【0043】

（測定2）

図5に測定2の概略を示す。測定2は、振幅ループのフィードバックパスの利得バラツキを補正するためのデータを得るために行なうものである。

振幅ループの安定性を考慮し、図2に破線Bで示されているような周波数特性を有する抵抗RT1からなるループフィルタLPF3を用いて、ゲイン測定を行なう。ループフィルタLPF3を用いた振幅ループの開ループ周波数帯域は約200kHzとなるように抵抗RT1の抵抗値が設定されている。ループフィルタLPF3を用いた振幅ループでは極が1つであるため位相が90°以下に下がることがないので、ループの安定性が保証される。この測定2の系は、ループの一巡伝達関数において積分を1個含むか低周波数域に極を1つ持つタイプ（type I）であればよい。ただし、ループにおける低いゲイン変化により安定性が保証される場合には、一巡伝達関数において積分を2個含むか低周波数域に極を2つ持つタイプ（type II）を使用することが可能である。

【0044】

この測定2では、図5に示すように、パワーアンプ210の入力端子には送信用発振器TxVCOからの発振信号 ϕTX を入力する。一方、バイアス電圧VBiasを印加し、利得制御回路160には出力制御電圧VRAMPを与えて利得可変アンプMVGA、IVGAの利得を制御するとともに、振幅検出回路150には無変調の基準信号SREFを与えながら振幅ループを開ループにて動作させて、そのときのパワーアンプ210の出力電圧VROUTを測定する。利得制御回路160に与える出力制御電圧VRAMPは、ベースバンドLSI300から与えても良いし、測定・演算装置600から与えても良い。

【0045】

フィードバックパス上の可変利得増幅回路MVGAの利得設定を行なう出力制御電圧VRAMPに対するパワーアンプ出力特性Pout [dBm]を測定する。この測定データから演算により所望のパワーアンプ出力を得るために必要な出力制御電圧VRAMPを求めて制御テーブルを作成し、このテーブルをベースバンドLSI300内の不揮発性メモリ310に格納する。この制御テーブルのデータは、フィルタLPF3を使用してループを動作させて送信を行なう際に、ベースバンドLSI300から高周波IC100内の前記レジスタ170に設定されて実際の制御に供される。また、この測定2で得られたデータは、高周波IC100にベースバンドLSI300側から与える出力制御電圧VRAMPを決定するのに利用される。

【0046】

（測定3）

図6に測定3の概略を示す。測定3は、振幅ループ全体のゲインバラツキを補正するためのデータを得るために行なうものである。

この測定3では、図6に示すように、スイッチSW2を切替えてループフィルタとして容量C2、C3と抵抗R3とからなるフィルタLPF2を選択して、振幅ループを図2に実線Aで示されているような周波数特性を有するループとした状態でゲイン測定を行なう。従って、ループフィルタLPF2を用いた振幅ループの開ループ周波数帯域は約1.8MHzとなる。また、この測定3は、測定2を行なって振幅ループを安定（発振防止）させた後に行われる。

【0047】

この測定3では、パワーアンプ210の入力端子には送信用発振器TxVCOからの発振信号 ϕ TXを入力するとともにバイアス電圧VBiasを印加し、利得制御回路160には出力制御電圧VRAMPを与えて利得可変アンプMVGA, IVGAの利得を制御する。これとともに、振幅検出回路150には振幅変調した基準信号を与えながら振幅ループを閉ループ(type II)にて動作させて、そのときのパワーアンプ210の出力電圧VRFOUTを測定する。利得制御回路160に与える出力制御電圧VRAMPは、ベースバンドLSI300から与えても良いし、測定・演算装置600から与えても良い。

【0048】

さらに、この測定3では、電流パルス生成回路CPGからの電流パルスを可変利得増幅回路IVGAの入力端子に供給して、そのときのパワーアンプ210の出力レベルを測定する。これにより、例えば搬送波(TxVCO)の周波数から約2MHz離れた周波数(受信周波数)でのループのゲインも算出する。電流パルス生成回路CPGは、アンプとチャージポンプとから構成することができ、このような回路を予めチップに内蔵させておく。ただし、外部から所定の電流パルスを可変利得増幅回路IVGAの入力端子に与えられるように構成しておいても良い。電流パルス生成回路CPGをチップに内蔵させておく場合、外部から水晶発振器のような精度の高い発振回路で生成されたクロック信号を与え、電流パルス生成回路CPGがそのクロックを分周して所望の周波数の電流パルスを生成するように構成することができる。

【0049】

図7に閉ループ状態で振幅変調を行なった時の周波数応答特性を示す。振幅変調する際に変調信号の振幅は一定(変調指数は一定)とし、少なくとも2種類の変調周波数にて動作させて振幅変調信号の側帯波周波数のみを変化させる。具体的には、第1の変調周波数Fm1は、振幅ループの周波数特性の通過帯域に含まれるような周波数(例えば送信周波数Fcから100kHz離れた周波数)を選択する。また、第2の変調周波数Fm2は、振幅ループの周波数特性の減衰帯域に含まれるような周波数(例えば送信周波数fcから2MHz離れた周波数)を選択する。

【0050】

その振幅変調信号の周波数スペクトラムを、測定されたパワーアンプの出力(アンテナ出力でも可)から解析し、側帯波成分の電力の周波数特性を求める。図7には、理想特性の一例が実線AAで、また実測の特性の一例が破線BBで示されている。なお、図7において横軸は周波数が対数目盛で示されており、破線BBは実測の周波数特性が理想特性よりも高くなっている場合を表わしている。開ループ特性(type II)における利得が“1”となる周波数(unity gain frequency)付近では、閉ループ利得のピークが小さいため、この周波数よりも上の変調周波数が選択され、減衰量を測定することができるようになる。

【0051】

上記測定3の結果から周波数特性が計算され、要求特性と比較される。この比較から振幅ループの利得における相対変位が計算され、この変位から振幅ループの開ループ周波数帯域が約1.8MHzの条件を満足するよう、振幅ループの開ループゲインが処置される。そして、周波数帯域が約1.8MHzを満たすために、フォワードパス上の利得可変アンプIVGAに与えるゲインオフセットの値を求めてベースバンドLSI300内の不揮発性メモリ310に格納する。この制御テーブルのデータは、フィルタLPF2を使用してループを動作させて8-PSK変調モードで送信を行なう際に、ベースバンドLSI300から高周波IC100内の前記レジスタ170に設定されて実際の制御に供される。

【0052】

上記のように測定1, 2, 3から得られたデータより演算してパワーアンプの210の利得のばらつきや振幅ループのゲインのばらつきを求め、このばらつきを補正するために必要な補正值(オフセット値およびスロープ値)を計算してベースバンドLSI300の不揮発性メモリ310に格納しておく。そして、変調信号の送信動作開始時にこれらの値を

高周波 I C 1 0 0 のレジスタ 1 7 0 に送って設定する。

【 0 0 5 3 】

このレジスタ 1 7 0 に設定されたオフセット値は、フォワードパス上の可変利得増幅回路 I V G A に対して、パワーアンプの入出力特性の一次微分係数 ($d R O U T / d V A P C$) と、フィードバックパスの利得およびフォワードパスの利得の合計値とを打消して開ループ周波数帯域を約 1 . 8 M H z とするための値として与えられる。また、スロープ値は、フォワードパス上の可変利得増幅回路 I V G A に対して、パワーアンプの入出力特性の二次微分係数 $\alpha 2$ を保証するの値として与えられる。これによって、製造ばらつきに起因するパワーアンプの特性ずれと振幅ループの周波数帯域ばらつきを低減することが可能となる。

10

【 0 0 5 4 】

次に、フォワードパス上の可変利得増幅回路 I V G A とフィードバックパス上の可変利得増幅回路 M V G A に対する利得制御について説明する。

前述したように、振幅ループの周波数帯域を一定に保つためには開ループ利得 (o p e n l o o p g a i n) を一定に保つ必要がある。しかし、振幅ループを使ってパワーアンプ出力電力を制御する際、フィードバックパス上の可変利得増幅回路 M V G A のゲインが変化すると振幅ループのゲインが変化して位相余裕が減少しループの安定性が低下する。そこで、本実施例においては、パワーアンプ出力電力を制御する際、フィードバックパス上の可変利得増幅回路 M V G A のゲインを増加させた場合にはフォワードパス上の可変利得増幅回路 I V G A のゲインは逆に減少させる。また、フィードバックパス上の可変利得増幅回路 M V G A のゲインを減少させた場合にはフォワードパス上の可変利得増幅回路 I V G A のゲインは逆に増加させるようにしている。これによって、開ループ利得を一定に保つことができ、振幅ループの周波数帯域も一定に保たれる。

20

【 0 0 5 5 】

E D G E または G S M 対応の携帯電話端末では、パワーアンプの出力電力 P O U T を一定時間内に所望の値まで増加または減少させるパワー制御を行なわれる。ポーラーループでは、このパワー制御を可変利得増幅回路 M V G A のゲインを制御することにより行なう。具体的には、可変利得増幅回路 M V G A のゲインを減少させれば振幅ループのフィードバック信号は減少するので、変調回路からの基準信号と一致させるために、パワーアンプはゲイン G P A (P O U T / P I N) が増加するように制御される。それゆえ、出力電力 P O U T は増加する。出力電力 P O U T を減少させたい時は可変利得増幅回路 M V G A のゲインを減少させればよい。本実施例では、可変利得増幅回路 M V G A のゲイン制御は、ベースバンド L S I 3 0 0 からの制御電圧 V R A M P により行なうようにしている。

30

【 0 0 5 6 】

本実施例では、可変利得増幅回路 M V G A のゲイン G M V G A の減少または増加の割合と、パワーアンプのゲイン G P A の増加または減少の割合は常に等しくされる。それゆえ、制御電圧 V R A M P に対する可変利得増幅回路 M V G A のゲインの変化は図 8 (A) に実線 G M A で示すように右下がりの直線になり、制御電圧 V R A M P に対するパワーアンプ 2 1 0 の R F ゲインの変化は図 8 (A) に実線 G P A で示すように右上がりの直線になる。また、これによってパワーアンプ 2 1 0 の d B 表記の出力電力 P O U T は、図 8 (B) に示すように、電圧 (V) 表記の制御電圧 V R A M P に対して直線的に増加するようになる。このようにパワーアンプ 2 1 0 の出力電力 P O U T を制御電圧 V R A M P により、d B の単位で線形に制御することは、振幅ループを安定に動作させるために有効なことである。

40

【 0 0 5 7 】

一方、変調回路からの基準信号 S R E F は 8 - P S K で変調された信号であり振幅成分は変化しているが、振幅制御ループの作用によりパワーアンプの出力電力 P O U T の振幅成分が基準信号 S R E F と一致するように制御がなされる。このときパワーアンプ 2 1 0 の出力電力 P O U T は上述したパワー制御動作により所望の値に維持されている。このようにポーラーループでは、制御電圧 V R A M P を一定にすることで M V G A のゲインは固定

50

され、パワーアンプ 210 の出力電力が基準信号の変化に正確に追従するようにされる。

【0058】

しかし、上記振幅ループを安定に動作させるためには、振幅ループのオープンループ・ゲイン G_{AMOP} の変動を極力小さく抑えなければならない。図 9 には、ループフィルタ L_{PF2} を使用した時の振幅ループのオープンループの周波数特性が示されている。このうち、図 9 (A) は振幅ループのゲイン特性を、また図 9 (B) は振幅ループの位相特性を示す。PM0 ~ PM2 は位相余裕である。位相余裕の減少は、振幅ループの安定性を損なわせるので、解決されるべき問題である。振幅ループのオープンループ・ゲイン G_{AMOP} は、可変利得増幅回路 $MVGA$ のゲイン G_{MVGA} が変動すると、その分だけ上下に変動する。この場合、ループの位相は殆ど変化しないので、位相余裕は $MVGA$ のゲインが最適に設定されているときの位相余裕 PM0 と比べ、PM1, PM2 のように減少してしまう。

10

【0059】

本実施例では、フォワードパスの可変利得増幅回路 $IVGA$ のゲイン G_{IVGA} とフィードバックパス上の可変利得増幅回路 $MVGA$ のゲイン G_{MVGA} との和 ($G_{IVGA} + G_{MVGA}$) が一定になるように、 $MVGA$ と $IVGA$ を制御することで、この問題を解決する。つまり、制御電圧 V_{RAMP} とゲイン G_{IVGA} 、 G_{MVGA} との関係は、図 11 のようにゲイン G_{IVGA} は右上がりの直線に、またゲイン G_{MVGA} は右下がりの直線になる。

【0060】

本実施例では、図 1 に示されているように、利得制御回路 160 が制御電圧 V_{RAMP} に応じてバイアス電流 I_{MVGA} 、 I_{IVGA} を生成し、可変利得増幅回路 $MVGA$ と $IVGA$ のゲイン G_{MVGA} 、 G_{IVGA} は、それぞれ利得制御回路 160 からのバイアス電流 I_{MVGA} 、 I_{IVGA} により制御される。ここで、可変利得増幅回路 $MVGA$ と $IVGA$ が図 10 のようなバイポーラトランジスタからなる一般的な差動アンプで構成されるものとする、差動アンプのゲイン G_{AMP} は、次式 (1)

$$G_{AMP} = 20 \log_{10} (V_{OUT} / V_{IN}) = 20 \log_{10} (R_L \cdot I_{EE} / 2 V_T) \dots (1)$$

で表わされる。ここで、 I_{EE} は差動アンプのバイアス電流、 R_L は負荷抵抗、 V_T は熱電圧 (kT/q) である。

20

30

【0061】

式 (1) から分かるように、アンプのゲインは I_{EE} に比例している。従って、可変利得増幅回路 $MVGA$ のゲイン G_{MVGA} と $IVGA$ のゲイン G_{IVGA} を直線的に変化させるためには、バイアス電流 I_{MVGA} 、 I_{IVGA} を図 12 のように V_{RAMP} の指数関数に従って変化させなければならない。なお、可変利得増幅回路 $IVGA$ のバイアス電流 I_{IVGA} は $I_{IVGA} = I_{EE} \cdot \exp(\log_{10} V_{RAMP})$ である。

【0062】

図 1 の利得制御回路 160 は、図 13 に示されているように、指数関数的に変化するバイアス電流 I_{MVGA} 、 I_{IVGA} を発生する電流源回路 $CS1$ 、 $CS2$ と、これを駆動するシングル差動変換アンプ $SDA1$ 、 $SDA2$ とから成る。アンプ $SDA1$ の反転入力端子には制御電圧 V_{RAMP} が入力され、非反転入力端子には基準電圧 V_{REF} が印加される。また、アンプ $SDA2$ は、 $SDA1$ とは逆に非反転入力端子に制御電圧 V_{RAMP} が入力され、反転入力端子に基準電圧 V_{REF} が印加される。これによって、制御電圧 V_{RAMP} に対する可変利得増幅回路 $IVGA$ のバイアス電流 I_{IVGA} と $MVGA$ のバイアス電流 I_{MVGA} は、図 12 に示すような指数関数曲線に沿って変化するようになる。

40

【0063】

このバイアス電流 I_{MVGA} 、 I_{IVGA} を可変利得増幅回路 $MVGA$ と $IVGA$ に与えることで、 $IVGA$ のゲイン G_{IVGA} と $MVGA$ のゲイン G_{MVGA} は図 11 のように直線的に変化するなり、これらのゲインの和 ($G_{IVGA} + G_{MVGA}$) は一定になる。従って、パワーアンプ 210 の出力電力 P_{OUT} を制御するために可変利得増幅回路 MV

50

GAのゲインを変えても、振幅ループのオープンループ特性に変化は無く、位相余裕が減少することは無い。

【0064】

ここで、指数関数的に変化するバイアス電流 I_{MVGA} 、 I_{IVGA} を生成する利得制御回路160の具体的な回路例を説明する。図14は、可変利得増幅回路 $IVGA$ に供給するバイアス電流 I_{IVGA} を生成する電流源回路 $CS1$ の概略を示す。この実施例の電流源回路 $CS1$ は、各々電流値の大きさと開始レベルの異なる複数の可変電流源 $VC1$ 、 $VC2 \dots VCn$ を備え、これらの可変電流源 $VC1$ 、 $VC2 \dots VCn$ を入力制御電圧 V_{RAMP} により制御してそれらの電流を合成してバイアス電流となすとともに、合成電流が入力制御電圧 V_{RAMP} に対して指数関数的に変化するように構成されている。

10

【0065】

具体的には、可変電流源 $VC1$ 、 $VC2 \dots VCn$ はそれぞれ図15(A)に示すような電圧-電流特性を有するように構成される。1つ1つの可変電流源の特性は、図15(A)から分かるように、それぞれ設定された基準電位 $VR1$ 、 $VR2 \dots VRn$ を中心に $\pm \Delta V$ の範囲だけ電流が直線的に変化するとともに、前の電流源の電流飽和到達レベルが次の電流源の電流開始レベルとほぼ一致するようにつまり電流可変範囲が重ならないように設定され、また直線の傾きつまり電流の変化率が電流源 $I1$ 、 $I2 \dots In$ の順に大きくなるように設定されている。

【0066】

そして、実施例の電流源回路 $CS1$ は、上記可変電流源 $VC1$ 、 $VC2 \dots VCn$ のすべての電流 $I1$ 、 $I2 \dots In$ を合成して、それらの電流値の総和に等しい電流をバイアス電流 I_{IVGA} として可変利得増幅回路 $IVGA$ に流すように構成されている。この合成電流が制御電圧 V_{RAMP} に対して指数関数的に増加する。これによって、可変利得増幅回路 $IVGA$ の dB 表記のゲインが入力制御電圧 V_{RAMP} に応じて直線的に変化するように制御される。

20

【0067】

図15(B)に、制御電圧 V_{APC} に対するバイアス電流 I_{IVGA} の変化の様子を実線で示す。図15(B)から分かるように、バイアス電流 I_{IVGA} は折れ線グラフのように変化する。最初の分線 $A1$ は電流源 $VC1$ の電流 $I1$ 、次の分線 $A2$ は電流源 $VC1$ と $VC2$ の電流 $I1$ 、 $I2$ を加算したもの、次の分線 $A3$ は電流源 $VC1$ と $VC2$ と $VC3$ の電流 $I1$ 、 $I2$ 、 $I3$ を加算したもの、最後の分線 An はすべての電流源の電流 $I1$ 、 $I2 \dots In$ を加算したものに相当する。この実施例の電流源回路 $CS1$ では、図15(B)の折れ線が指数曲線と近似するように、各可変電流源 $VC1 \sim VCn$ の電流値 $I1$ 、 $I2 \dots In$ が設定されている。可変利得増幅回路 $MVGA$ のバイアス電流 I_{MVGA} を生成する電流源回路 $CS2$ は、複数の可変電流源の合成電流が制御電圧 V_{RAMP} に応じて図15(B)に破線で示すように指数関数的に減少するように構成される。

30

【0068】

図16には、上記バイアス回路20の具体的な回路例が示されている。各可変電流源 $VC1$ 、 $VC2 \dots VCn$ は、前記基準電位 $VR1$ 、 $VR2 \dots VRn$ のいずれかがベース端子に印加されたバイポーラトランジスタ $Q11$ 、 $Q21$ 、 $\dots Qn1$ と、これらのトランジスタとそれぞれ対をなすトランジスタ $Q12$ 、 $Q22$ 、 $\dots Qn2$ と、抵抗 $R11$ 、 $R12$ ； $R21$ 、 $R22 \dots Rn1$ 、 $Rn2$ と、定電流源 $IE1$ 、 $IE2$ 、 $\dots IEn$ とから構成されている。そして、例えば $Q11$ 、 $Q12$ のように対をなすトランジスタのエミッタ端子に抵抗 $R11$ 、 $R12$ が接続され、さらにこれらの抵抗を介して定電流源 $IE1$ に接続されている。他のトランジスタ対も図16のように、互いに一端が結合された抵抗を介して定電流源に接続されている。また、対をなす一方のトランジスタ $Q11$ 、 $Q21$ 、 $\dots Qn1$ のコレクタ端子は電源電圧 V_{cc} に接続され、他方のトランジスタ $Q12$ 、 $Q22$ 、 $\dots Qn2$ のコレクタ端子は共通接続されている。これにより、 $Q12$ 、 $Q22$ 、 $\dots Qn2$ のコレクタ電流 $I1$ 、 $I2$ 、 $\dots In$ が合成されてバイアス電流 I_{out} が生成される。

40

50

【0069】

また、リニアアンプ10の出力レベルを制御するための制御電圧VAPCに応じてトランジスタQ11, Q21...Qn1のベース電圧VR1, VR2, ...VRnと、トランジスタQ12, Q22...Qn2のベース電圧VB1, VB2, ...VBnを生成するために抵抗分圧回路22が設けられている。さらに、上記可変電流源VC1, VC2...VCnとは別に、オフセット電流Ioffを流すため、トランジスタQ01, Q02と抵抗R01, R02、定電流用トランジスタQc0とそのエミッタ抵抗Re0とからなる電流源Coffが設けられている。この電流源Coffは、制御電圧VAPCが0Vであっても最小限のバイアス電流をリニアアンプ10に流すために設けられたものである。

【0070】

また、各可変電流源VC1, VC2...VCnの定電流源IE1, IE2, ...IEnは、それぞれバイポーラトランジスタQc1, Qc2, ...Qcnとエミッタ抵抗Re1, Re2, ...Renとから構成されており、トランジスタQc1, Qc2, ...QcnおよびQc0のベースには、これらとカレントミラー接続されたトランジスタQcrのベース電圧と同一の電圧が印加されている。各可変電流源Vci (i=1, 2, ...n)の定電流源IEiがそれぞれバイポーラトランジスタQciとエミッタ抵抗Reiとにより構成されることにより、エミッタ抵抗がないトランジスタ単独の電流源に比べてトランジスタのベース・エミッタ間電圧VBEのばらつきによる電流のばらつきが小さくされる。

【0071】

上記トランジスタQcrには基準電流IREFが流されるように構成されており、これによって各トランジスタQc1, Qc2, ...Qcn, Qc0には基準電流IREFに比例した電流Ie1, Ie2, ...Ien, Ioffが流れるようにされる。そして、その電流値はトランジスタQc0のサイズ（特にエミッタ）とQc1, Qc2, ...Qcnのサイズ比、及び、抵抗Re1, Re2, ...Renの比によって決定される。各トランジスタQc1, Qc2, ...Qcnに流れる電流Ie1, Ie2, ...Ienが、図14の電流源回路CS2の各可変電流源VC1, VC2...VCnの飽和電流となる。また、抵抗R01, R02; R11, R12...Rn1, Rn2の抵抗値によって、電流変化率（図15(B)の分線A1, A2...Anの傾き）が決定される。さらに、各可変電流源VC1, VC2...VCnの電流可変範囲±ΔVは、対を成すトランジスタのベース電位差によって決定される。

【0072】

つまり、対を成すトランジスタのベース電位差が2ΔVとなるように、抵抗分圧回路22において、トランジスタQ11, Q21...Qn1のベース電圧VR1, VR2, ...VRnと、トランジスタQ12, Q22...Qn2のベース電圧VB1, VB2, ...VBnが生成される。また、制御電圧VAPCに応じて変化する電圧VR1, VR2, ...VRnとVB1, VB2, ...VBnの交差電位が、各電流波形I1, I2, ...Inの中心電位となるように抵抗分圧回路22を構成する抵抗の比が設定されている。

【0073】

この実施例の利得制御回路160では、各可変電流源VC1, VC2...VCnの電流変化率が抵抗R01, R02; R11, R12...Rn1, Rn2の抵抗値によって決まり、抵抗がばらついても抵抗比はほぼ一定であるため、図15(B)に示されている合成電流として出力されるバイアス電流IIVGAの指数関数曲線はほとんど変わらないという利点がある。

【0074】

次に、振幅ループのオープンループゲインばらつきの補正について説明する。振幅ループのオープンループゲインを変動させる要因として、振幅ループ上にある回路のゲインばらつきがある。このゲインばらつきは、製造ばらつきによるものであり、補正する必要がある。例えば、パワーアンプ210の出力電力POUTの出力制御電圧VRAMPに対する特性をゲイン制御感度APAとすると、実施例においてはパワーアンプ210のゲイン制御感度APAは一定であることが望まれる。図17には、出力制御電圧VRAMPに対す

10

20

30

40

50

るパワーアンプのdB表記のゲイン制御感度AP Aの特性が示されている。

【0075】

パワーアンプ210のゲイン制御感度AP Aは、図17に符号AP A0で示す直線のように、出力制御電圧VRAMPによらず一定であることが望ましい。しかしながら、使用するパワーアンプによっては、AP A1、AP A2のように特性に傾きが生じることがある。これを補正するための手段として、可変利得増幅回路IVGAのゲイン制御感度を変えて補正する方法がある。図18は、可変利得増幅回路IVGAのゲイン制御感度を変えたときの特性を示している。図18において、直線GIVGA0が目標とするゲイン特性である。これに対し、制御感度を低くしたときの特性は傾きの小さな直線GIVGA1で示され、逆に高くしたときのときの特性は傾きの大きな直線GIVGA2で示される。

10

【0076】

具体的な補正の仕方は、例えばパワーアンプ210のゲイン制御感度AP Aが図17の特性線AP A1のように正の傾きを持った場合は、図18の直線GIVGA1のように可変利得増幅回路IVGAのゲイン特性の傾きを小さくする。これにより、パワーアンプ210のゲインAP Aと可変利得増幅回路MVGAのゲインGMVGAと可変利得増幅回路IVGAのゲインGIVGAの和($AP A + GMVGA + GIVGA$)を、出力制御電圧VRAMPに対して一定に保たれるようになる。

【0077】

なお、可変利得増幅回路MVGAのゲインGMVGAの制御特性は、一定となるように計算され、変えることはできない。逆にパワーアンプ210のゲイン制御感度AP Aが図17の特性線AP A2のように負の傾きを持った場合は、図18の直線GIVGA2のように可変利得増幅回路IVGAのゲイン特性の傾きを大きくするように設定する。このようなゲイン制御感度の補正を、本明細書ではスロープ補正と呼ぶことにする。

20

【0078】

ここで、製造ばらつきによりパワーアンプ210のゲイン制御感度AP Aやその他の回路のゲインが単純に増加または減少した場合のオフセットの補正の仕方を述べる。例えば、パワーアンプのゲイン制御感度AP Aが、図17に示されているように、目標とする特性である直線AP A0に対して、破線AP A3、AP A4で示すようにばらついた場合を考える。なお、図17において、直線AP A3とAP A4はパワーアンプ210のゲイン制御感度が増加したときと減少したときの特性を表している。

30

【0079】

これらを補正するには、可変利得増幅回路IVGAのゲインGIVGAの制御特性を適当なやり方でシフトさせればよい。図18に符号GIVGA3で示されているのは可変利得増幅回路IVGAのゲインGIVGAの制御特性をゲインが低くなる方向へシフトさせたときの特性、符号GIVGA4で示されているのは可変利得増幅回路IVGAのゲインGIVGAの制御特性をゲインが高くなる方向へシフトさせたときの特性である。

【0080】

パワーアンプ210のゲイン制御感度AP Aが図17のAP A3のように増加してしまったときは、可変利得増幅回路IVGAのゲインGIVGAの制御特性を図18の直線GIVGA3のようにゲインが低くなる方向へ全体的にシフトさせる。逆にパワーアンプ210のゲイン制御感度AP Aが図17のAP A4のように減少してしまったときは、可変利得増幅回路IVGAのゲインGIVGAの制御特性を図18の直線GIVGA4のようにゲインが高くなる方向へ全体的にシフトをさせればよい。製造ばらつきで回路のゲインがばらついた場合でも、可変利得増幅回路IVGAのゲインGIVGAを上記のように補正することにより、パワーアンプのゲインAP Aと可変利得増幅回路MVGAのゲインGMVGAと可変利得増幅回路IVGAのゲインGIVGAの和($AP A + GMVGA + GIVGA$)を、出力制御電圧VRAMPに対して一定に保つことができる。このようなゲインの補正を、本明細書ではオフセット補正と呼ぶことにする。

40

【0081】

次に、これらの補正を行なうための回路の実施例を説明する。図19は、スロープ補正と

50

オフセット補正を行えるようにした利得制御回路160の具体例である。この実施例の利得制御回路160は、スロープ補正のためにシングル差動変換アンプSDA2のゲインをスロープ制御信号SLOPEにより補正できるように構成されている。この利得制御回路160においては、スロープ制御信号SLOPEによりアンプSDA2のゲインを高く設定すれば、可変利得増幅回路IVGAのバイアス電流IIVGAの変化率が急峻になり、可変利得増幅回路IVGAのゲインGIVGAの傾きを増加させることができる。逆にアンプSDA2のゲインを低く設定するとGIVGAの傾きを減少させることができる。

【0082】

図21は、スロープ制御信号SLOPEによりアンプSDA2のゲインを変えた場合における出力制御信号VRAMPに対する可変利得増幅回路IVGAのバイアス電流IIVGAの特性を示している。図21において、符号H1はアンプSDA2のゲインを高く設定したときの特性で、VRAMPに対するIIVGAの変化率が大きくなって基準電圧VREFを中心に横軸方向に圧縮された特性となる。逆に、符号H2はアンプSDA2のゲインを低く設定したときの特性で、VRAMPに対するIIVGAの変化率が小さくなって横軸方向に伸張された特性となる。従って、シングル差動変換アンプSDA2のゲインを高くした場合は、可変利得増幅回路IVGAのゲインGIVGAは図18のGIVGA2のように傾きが増加し、SDA2のゲインを低くした場合は、可変利得増幅回路IVGAのゲインGIVGAは図18のGIVGA1のように傾きが減少する。

【0083】

また、図19の実施例においては、可変利得増幅回路IVGAが第1アンプAMP1と第2アンプAMP2とで構成されている。第1アンプAMP1は図13の実施例の可変利得増幅回路IVGAと同等の機能を持つようにされる。第2アンプAMP2はオフセット制御信号OFSTによりゲインが変化される構成にされている。つまり、この実施例では、第2アンプAMP2のゲインを増減させることにより、図18の符号GIVGA3やGIVGA4のように可変利得増幅回路IVGAのゲインGIVGAを制御することができる。

【0084】

その結果、パワーアンプのゲイン制御感度APAと可変利得増幅回路MVGAのゲインGMVGAと可変利得増幅回路IVGAのゲインGIVGAの和($APA + GMVGA + GIVGA$)を一定にすることができる。なお、図19の実施例では第1アンプAMP1のゲインを利得制御回路160からの電流IIVGAで制御し、第2アンプAMP2のゲインをオフセット制御信号OFSTにより制御するように構成したが、電流IIVGAとオフセット制御信号OFSTが逆にされた構成であっても同様の効果が得られる。

【0085】

オフセット補正を行う別の手法として、図20のようにレベルシフト回路LSFを設けて、シングル差動変換アンプSDA2に入力される基準電圧VREFを一定量シフトする方法も考えられる。レベルシフト回路LSFは、入力に対し一定の電圧VSHIFTを加算した電圧を出力する回路であり、シフト量VSHIFTはオフセット制御信号OFSTで制御される。図22にこの実施例における作用を示す。レベルシフト回路LSFによりシフト量VSHIFTを増加させると、符号H3のように可変利得増幅回路IVGAのバイアス電流IIVGAの特性は右方向にシフトする。逆にシフト量VSHIFTを減少させると、符号H4のようにバイアス電流IIVGAの特性は左方向にシフトする。

【0086】

そして、シフト量VSHIFTを増加させると、可変利得増幅回路IVGAのゲイン特性は図18のGIVGA3のように全体的に下方へずれ、逆にシフト量VSHIFTを減少させると、可変利得増幅回路IVGAのゲイン特性は図18のGIVGA4のように全体的に上方へずれる。この結果、パワーアンプのゲイン制御感度APAと可変利得増幅回路MVGAのゲインGMVGAと可変利得増幅回路IVGAのゲインGIVGAの和($APA + GMVGA + GIVGA$)を目標の値にすることができる。なお、図20の実施例では、シングル差動変換アンプSDA2の基準電圧VREFの入力側にレベルシフト回路LSFを設けたが、シングル差動変換アンプSDA2のゲイン制御信号VRAMPの入力側

にレベルシフト回路を挿入しても良い。ただし、この場合、シフト量 V_{SHIFT} と可変利得増幅回路 $MVGA$ のゲイン $GMVGA$ の関係は反転する。つまり、シフト量 V_{SHIFT} を増加させると可変利得増幅回路 $IVGA$ のバイアス電流 $IIVGA$ の特性は左方向にシフトし、逆に減少させると右方向にシフトする。

【0087】

このようにポーラーループでは、位相ループと振幅ループの組合せ作用により、パワーアンプの出力の位相と振幅を正確に制御できるので、 GSM と $EDGE$ の両方式に対応したデュアルモードの送信回路に適している。これは、 $GMSK$ 変調方式を採用する GSM が位相成分のみに送信情報を持たせているのに対し、 $EDGE$ 方式は、転送レートを高めるために振幅成分にも情報を持たせているためである。従来 GSM 方式のみに対応していた送信回路では、パワーアンプの出力振幅が一定になるように制御をかけていた。タイプ I の振幅ループは、 $GMSK$ 信号の振幅を制御し、送信中それが変化しないように制御する。ポーラーループでは、パワーアンプの出力からのフィードバック信号と変調回路の出力とを比較し、可変利得増幅回路でゲインを調整するので、 $EDGE$ 方式による振幅の変調成分に影響を与えることなくパワーアンプ出力（正確にはパワーアンプの平均出力電力）を制御できる。従って、この構成は、 GSM 方式と振幅の変調成分を持つ $EDGE$ 方式の両方に対応できることになる。

【0088】

しかし、 GSM 、 $EDGE$ どちらの方式の場合においても、パワーアンプの出力は温度変動及び素子の製造ばらつきに対し、感度が低くなければならない。しかも、 GSM 方式の規格では、アンテナ端において、立ち上がり（ランプアップ）期間、立下り（ランプダウン）期間及びデータ送信期間の電力は、所定のタイムマスクに常に収まらなければならないと規定されている。ポーラーループにおいて、このような出力電力の制御を行うためには、ループ内の回路特性に変動が少ないことが要求され、特に可変利得増幅回路 $MVGA$ 、 $IVGA$ は、広いゲインの可変範囲（約 50 dB ）を確保し、その全範囲でばらつきを抑えることが要求される。

【0089】

このため、そのような制御の実現は非常に困難になる。もしばらつきが許容範囲を超えたならば、ばらつき情報をベースバンド回路に取り込み、ばらつきを補正するように可変利得増幅回路 $MVGA$ 、 $IVGA$ のゲインを制御する方式も考えられるが、このようにすると、ベースバンド LSI の製造コストを引き上げてしまうので、好ましくない。また、可変利得増幅回路のゲインが制御信号に対し非線形な場合も、ベースバンド回路に対する負担が増え、製造コストが上がってしまうので、ゲイン制御は線形であることが望まれる。

【0090】

従って、前記実施例を適用することで、広いゲイン可変範囲を確保しつつ、電源や温度変動及び素子の製造ばらつきに対し感度が低く、且つゲイン制御の線形性も良好な可変利得増幅回路を実現でき、ベースバンド LSI への負担を低減できるので、ベースバンド LSI の製造コストを引き下げることができる。

【0091】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

例えば、上記実施例では、高周波 $IC100$ に可変利得増幅回路 $MVGA$ と $IVGA$ の利得特性を補正するためのデータを設定するレジスタ 170 を設け、ベースバンド $LSI300$ 内の不揮発性メモリ 310 に可変利得増幅回路 $MVGA$ と $IVGA$ の利得を補正するためのデータを格納しておいて、動作開始時にそのデータをベースバンド $LSI300$ から高周波 $IC100$ に送ってレジスタ 170 に設定するようにしているが、高周波 $IC100$ 内に可変利得増幅回路 $MVGA$ と $IVGA$ の利得特性を補正するためのデータを格納する不揮発性メモリを設けておくようにしてもよい。

【0092】

また、上記実施例では、ループ全体で1つの極を有するLPF3を使用して送信回路の出力電力の補正のための測定2が実行され、振幅ループのループゲイン調整のためループフィルタLPF2を使用した測定3を行なって、両方の測定結果に基づいてキャリブレーションを行なっているが、測定3を省略して測定2の測定結果のみに基づいてキャリブレーションを行なうようにしてもよい。

【0093】

以上の説明では本発明を、GSM方式とDCS1800方式の2つの方式に従った通信が可能に構成されたデュアルバンド方式のシステムに適用した場合を説明しているが、GSM方式とDCS方式とPCS (Personal Communications System) 1900の3つの方式に従った通信が可能に構成されたトリプルバンド方式のシステムにおいてGMSK変調モードの他に8-PSK変調モードによる変調を伴う通信を行なえるようにする場合、また850MHz帯を使用した通信を行なう場合にも利用することができる。

10

【0094】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、本発明に従うと、位相変調と振幅変調を行なう機能を有する携帯電話器のような無線通信装置において、送信波形の変調精度およびスペクトラル・リグロスを向上させるとともに受信周波数帯へ及ぶノイズを十分に抑制することができる。

20

【0095】

また、本発明によると、素子の製造バラツキによりループゲインが変動し、それによってループの安定性が低下するのを防止し信頼性の高い無線通信装置を実現することができる。

さらに本発明によると、振幅変調のための出力制御を行なう際に、振幅制御ループのゲインが変化して位相余裕が減少しループの安定性が低下するのを防止して、信頼性の高い無線通信装置を実現することができる。

【図面の簡単な説明】

【図1】図1は、本発明の実施形態であるポーラーループ方式の送信回路の概略構成とこの送信回路を用いた無線通信システムの構成例を示すブロック図である。

30

【図2】図2は、図1の送信回路における振幅制御ループのオープンゲイン特性を示すグラフである。

【図3】図3は、本発明のポーラーループ方式を適用した高周波ICを用いた無線通信装置と測定システムの構成例を示すブロック図である。

【図4】図4は、出力パワーアンプの出力電力特性を測定する際に動作する回路の概略構成を示すブロック図である。

【図5】図5は、本発明の実施形態に従ったポーラーループ方式の送信回路において、ループ全体の極数を減らしたロウパスフィルタLPF3を負荷として用いて振幅制御ループのオープンゲイン特性を測定する際に動作する回路の概略構成を示すブロック図である。

【図6】図6は、本発明の実施形態に従ったポーラーループ方式の送信回路において高次数のフィルタLPF2を用いて振幅制御ループのオープンゲイン特性を測定する際に動作する回路の概略構成を示すブロック図である。

40

【図7】図7は、振幅制御ループの閉ループ状態で振幅変調を行なった時の周波数応答特性を示すグラフである。

【図8】図8(A)は、本発明の実施形態に従ったポーラーループ方式の送信回路における出力制御電圧VRAMPと出力パワーアンプおよび利得可変増幅回路のゲインとの関係を示すグラフ、(B)は出力制御電圧VRAMPと出力パワーアンプの出力電力との関係を示すグラフである。

【図9】図9は、ループフィルタLPF2を使用した時の振幅ループのオープンループのゲイン特性と振幅ループの位相特性を示すグラフである。

50

【図 1 0】図 1 0 は、本発明の実施例において使用される利得可変増幅回路の具体例を示す回路図である。

【図 1 1】図 1 1 は、本発明の実施形態に従ったポーラーループ方式の送信回路における出力制御電圧 V_{RAMP} と、フィードバックパス上の利得可変増幅回路 ($MVGA$) のゲインおよびフォワードパス上の利得可変増幅回路 ($IVGA$) のゲインとの関係を示すグラフである。

【図 1 2】図 1 2 は、本発明のポーラーループ方式の送信回路における出力制御電圧 V_{RAMP} と、フィードバックパス上の利得可変増幅回路 ($MVGA$) およびフォワードパス上の利得可変増幅回路 ($IVGA$) のバイアス電流との関係を示すグラフである。

【図 1 3】図 1 3 は、本発明の実施例において使用する利得制御回路の構成例を示す回路構成図である。 10

【図 1 4】図 1 4 は、図 1 3 の利得制御回路を構成するバイアス電流生成回路の概略構成を示す回路構成図である。

【図 1 5】図 1 5 は、バイアス電流生成回路における出力制御電圧と各電流源の電流およびそれらを合成したバイアス電流との関係を示すグラフである。

【図 1 6】図 1 6 は、図 1 4 のバイアス電流生成回路の具体例を示す回路図である。

【図 1 7】図 1 7 は、出力パワーアンプの出力制御電圧 V_{RAMP} に対するゲイン制御感度を示すグラフである。

【図 1 8】図 1 8 は、本発明の実施形態に従ったポーラーループ方式の送信回路におけるフォワードパス上の利得可変増幅回路 ($IVGA$) のゲインのバラツキの様子を示すグラフである。 20

【図 1 9】図 1 9 は、利得制御回路の他の構成例を示す回路構成図である。

【図 2 0】図 2 0 は、利得制御回路のさらに他の構成例を示す回路構成図である。

【図 2 1】図 2 1 は、スロープ制御信号によりアンプのゲインを変えた場合における出力制御信号 V_{RAMP} に対する可変利得増幅回路 $IVGA$ のバイアス電流 I_{IVGA} の特性を示すグラフである。

【図 2 2】図 2 2 は、オフセット制御信号によりアンプのゲインを変えた場合における出力制御信号 V_{RAMP} に対する可変利得増幅回路 $IVGA$ のバイアス電流 I_{IVGA} の特性を示すグラフである。

【符号の説明】

1 0 0	高周波 IC
1 1 0	位相分周回路
1 2 0	直交変調回路
1 3 1	ミクサ
1 3 2	ミクサ
1 4 0	位相検出回路
1 5 0	振幅検出回路
1 6 0	利得制御回路
1 7 0	レジスタ
1 8 0	シーケンサ
1 9 0	受信系回路
2 0 0	パワーモジュール
2 1 0	パワーアンプ
2 2 0	カプラ
2 3 0	電圧制御回路
3 0 0	ベースバンド回路
T x V C O	送信用発振器
ϕ R F	高周波発振器からの発振信号
ϕ I F	中間周波数の発振信号
L P F 1	ループフィルタ

30

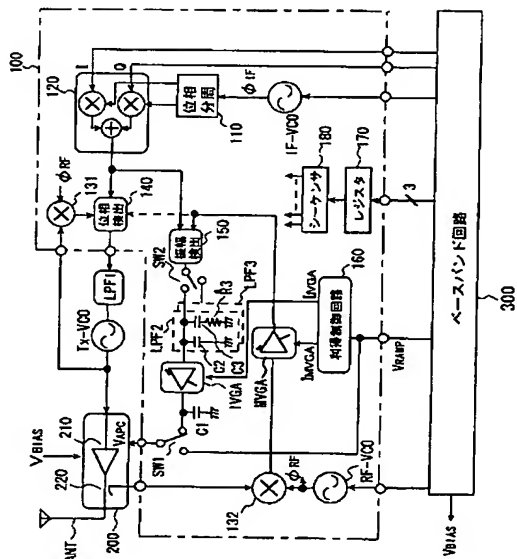
40

50

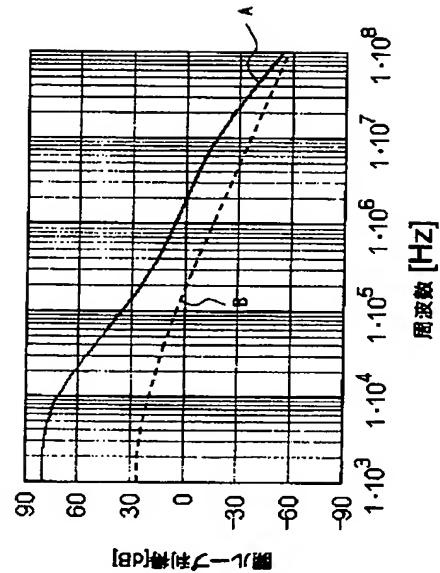
I, Q I / Q 信号
 SREF 基準信号
 SFB フィードバック信号
 C0 ~ C4 容量素子
 R1 ~ R3, RT1 抵抗素子
 SW0 ~ SW3 スイッチ
 APD アナログ位相比較器
 DPD デジタル位相比較器
 LVS レベルシフト回路
 RF-VCO 高周波発振器
 IF-VCO 発振器
 MVGA, IVGA 可変利得増幅回路
 VIC 電流電圧変換器

10

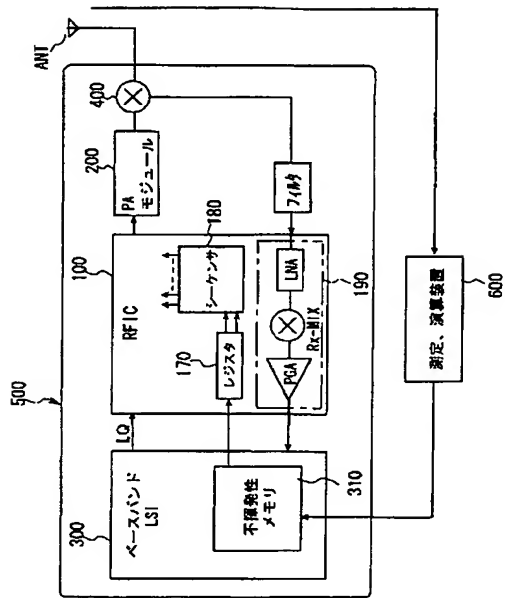
【図 1】



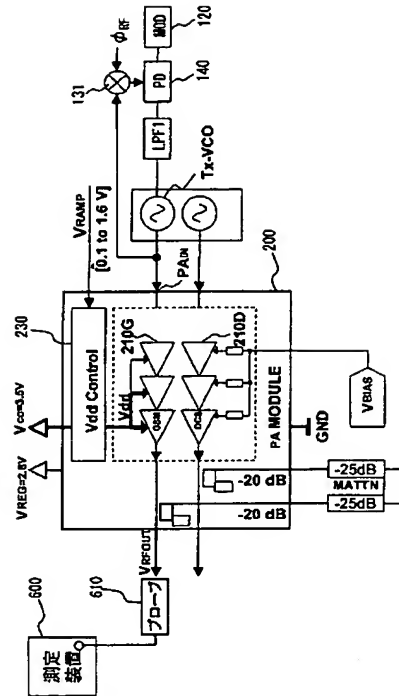
【図 2】



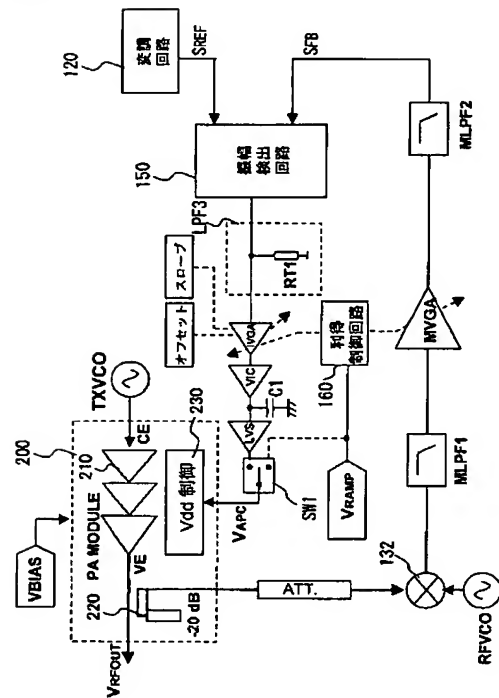
【 図 3 】



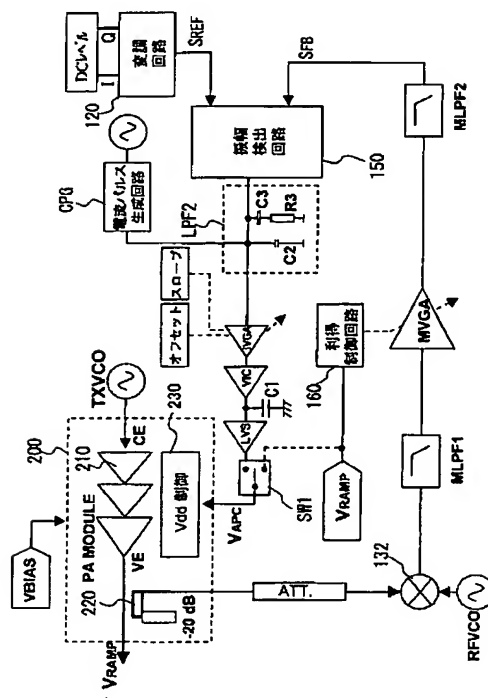
【 図 4 】



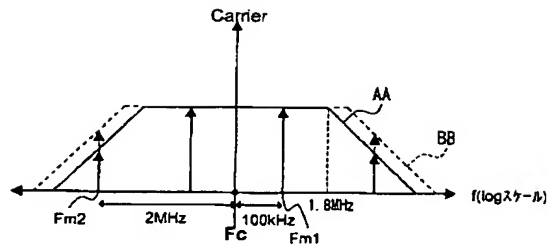
【图 5】



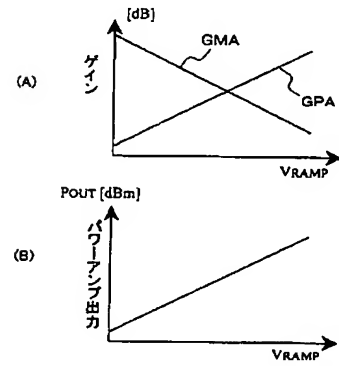
【 図 6 】



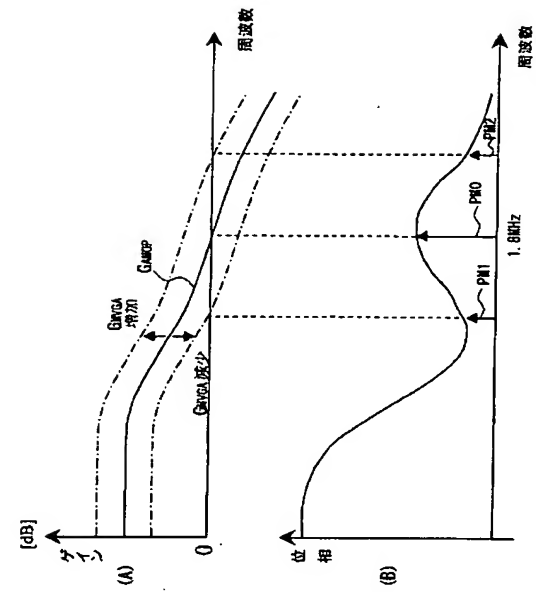
【図 7】



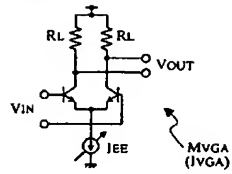
【図 8】



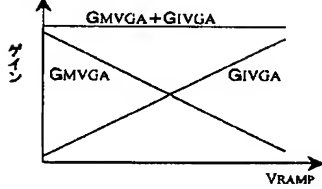
【図 9】



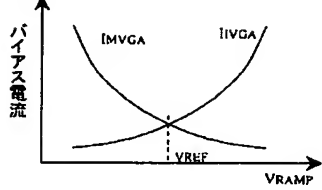
【図 10】



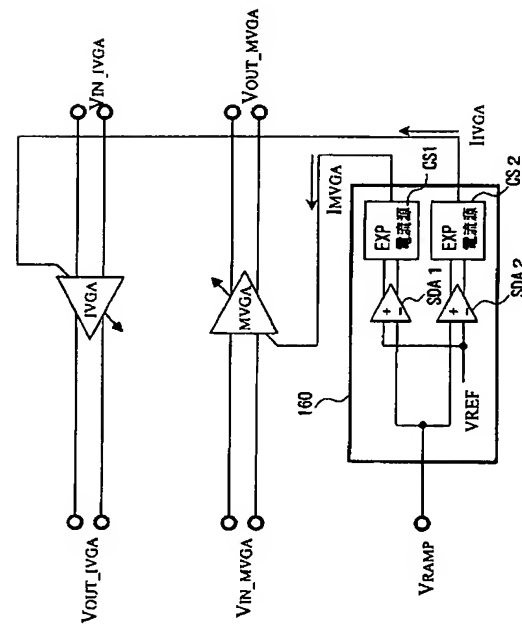
【図 11】



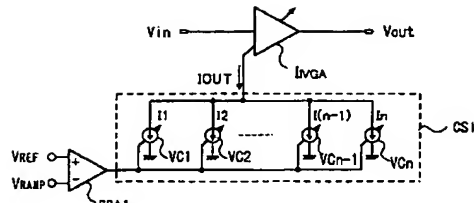
【図 12】



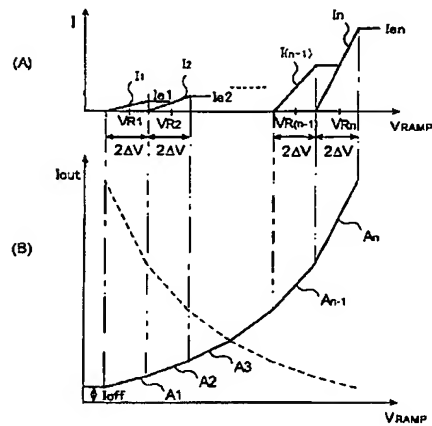
【図 13】



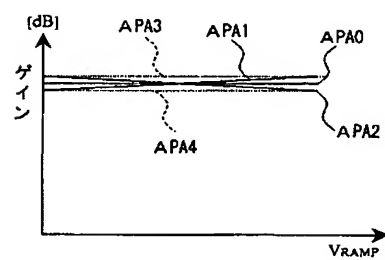
【図 14】



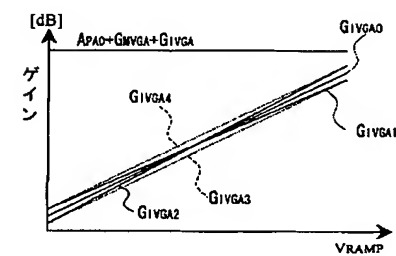
【図 15】



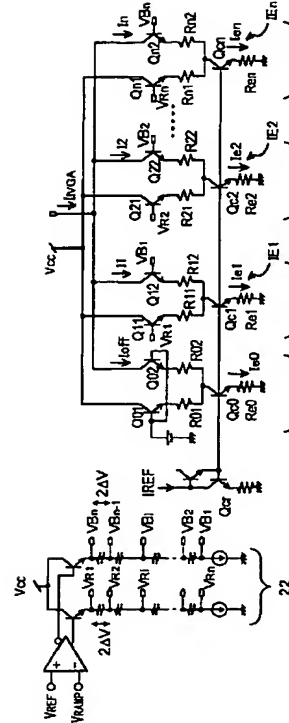
【図 17】



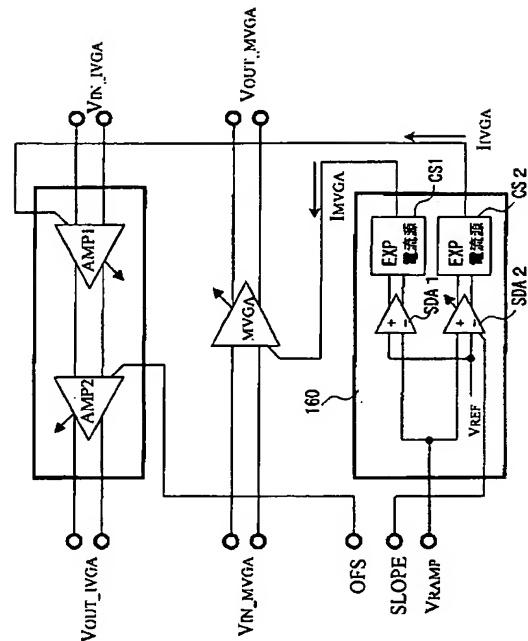
【図 18】



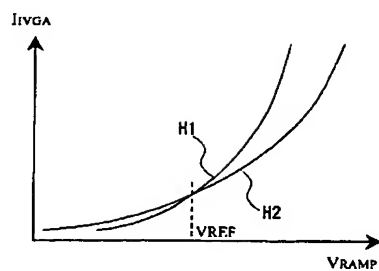
【図 16】



【図 19】



【図 2 1】



フロントページの続き

(72)発明者 豊田 研次

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72)発明者 パトリック・ワーム

イギリス国、ハートフォードシャー エスジ-8 6イーイー、ロイストン、メルボルン、ケンブリッジ ロード、メルボルン サイエンス パーク、ティーティーピー コム リミテッド内

(72)発明者 ロバート・アストル・ヘンシャウ

イギリス国、ハートフォードシャー エスジ-8 6イーイー、ロイストン、メルボルン、ケンブリッジ ロード、メルボルン サイエンス パーク、ティーティーピー コム リミテッド内

Fターム(参考) 5J100 JA01 KA05 LA00 LA02 LA10 QA01 SA01

5K004 AA05 AA08 FD06 FF05 JD06 JF04

5K060 BB05 CC04 CC12 DD04 FF06